

CA-IS2092A 带电源的隔离 RS-485 收发器

测试板使用说明

描述

此份文件描述了 CA-IS2092A 测试板的相关使用说明，其中包括芯片简介、原理图、PCB 布线图、物料清单以及部分测试数据等。CA-IS2092A 评估板可以用来评估该芯片内置的隔离电源以及 RS-485 收发器的参数性能等。

芯片简介

CA-IS2092A 是集成隔离电源的隔离式 RS-485 收发器，具有高电磁抗扰度和低辐射特性，其工作于半双工模式。

CA-IS2092A 器件具有高绝缘能力，有助于防止数据总线或其他电路上的噪声和浪涌进入本地接地端，进而干扰或损坏敏感电路。高 CMTI 能力可以保证数字信号的正确传输。该器件采用 LGA16 小型化封装，能够显著节省 PCB 布板空间，支持绝缘耐压高达 2.5 kV_{RMS}。

CA-IS2092A 测试版适用如下表所示的产品型号。

表 1 器件型号

型号	通讯模式	通讯速率 (Mbps)	隔离电压等级 (kV _{RMS})	逻辑电源是否可以独立供电	封装
CA-IS2092A	半双工	0.5	2.5	是	LGA16

注：

- VDDP 和 VDDL 须分别达到 $ULVO_{VDDP+}$ 和 $ULVO_{VDDL+}$ 以上，VISO_{OUT} 才会建立输出电压；
- VISO_{IN} 和 VISO_{OUT} 须接在一起，VISO_{OUT} 才会建立正常的输出电压；
- 隔离电源输出电压通过 SEL 引脚配置，VISO_{OUT}, VISO_{IN} 输出电压选择:SEL 接 VISO_{IN} 时，VISO_{OUT} = VISO_{IN} = 5.0 V；SEL 接 GND2 或悬空时，VISO_{OUT} = VISO_{IN} = 3.3 V。为了提高系统的抗干扰能力，SEL 引脚不建议悬空。

3D 图

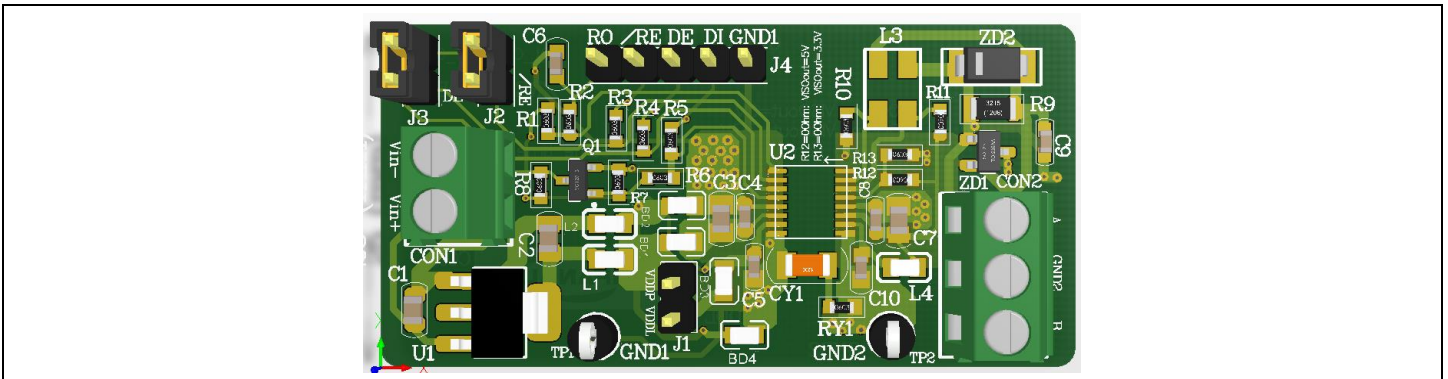


图 1 CA-IS2092A PCB 的 3D 图

原理图

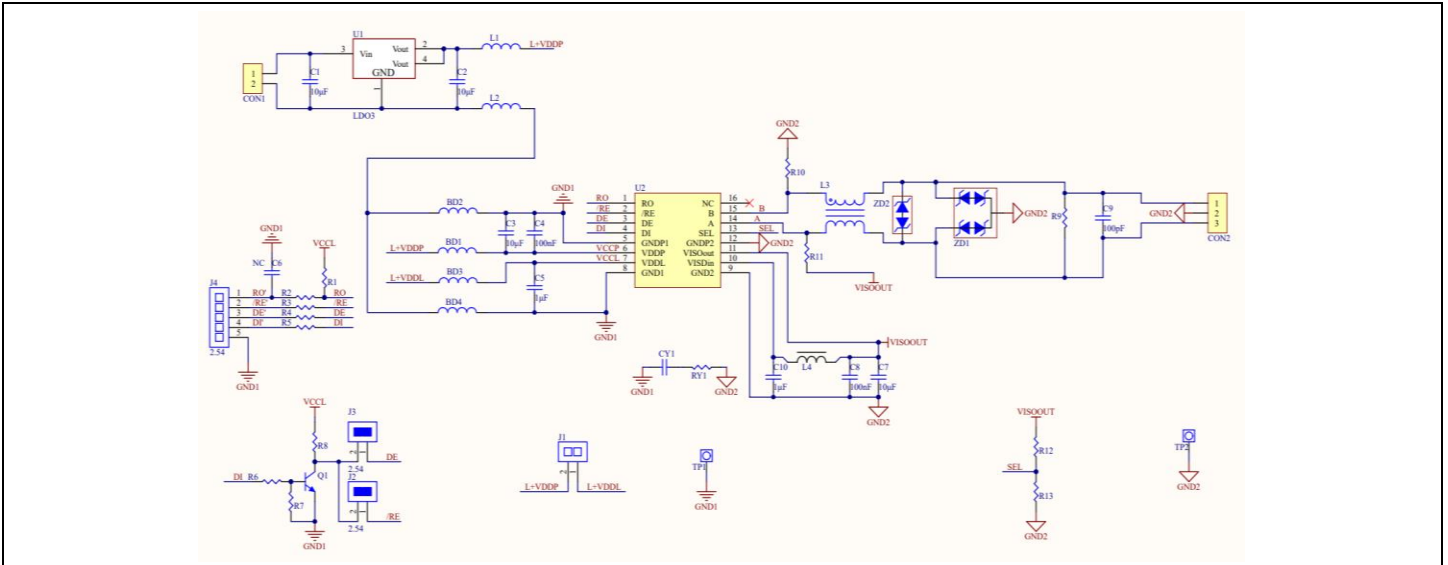


图 2 原理图

布线图

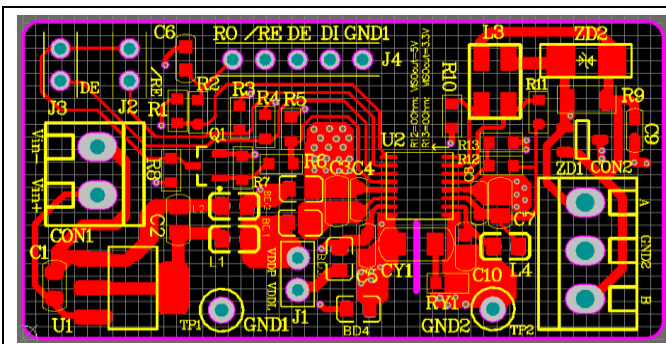


图 3 Top

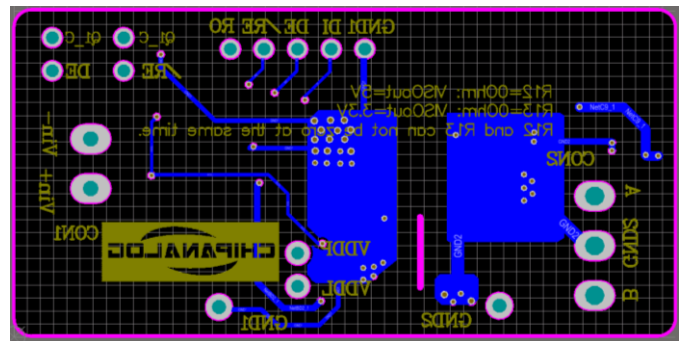


图 4 Bottom 需要替换

物料清单

Item	Ref Des	Qty	Description	Package	MFR	PN.
1	L1, L2	2	Decoupling Inductors, 2.2uH, 400mA	0805	TDK	MLZ2012M2R2HT000
2	L3	1	Common mode choke, 100uH, 150mA	1812	PuLuoDe	PSCIAQ3225-101Z
3	L4	1	Resistor, 0Ω	0805	-	-
4	BD1, BD1, BD3, BD4	4	Bead 1kΩ, 600mA,	0603	Murata	BLM18HE102SN1D
5	C1	1	MLCC, 10μF/16V, X7R	0805	-	-
6	C2, C3, C7	3	MLCC, 10μF/10V, X7R	0805	-	-
7	C4, C8	2	MLCC, 100nF/10V, X7R	0603	-	-
8	C5, C10	2	MLCC, 1μF /10V, X7R	0603	-	-
9	C6	0	NC	0603	-	-
10	C9	0	NC	0603	-	-
11	R1	1	Resistor, 10kΩ, 1%	0603	-	-
12	R2, R3, R4, R5	4	Resistor, 100Ω, 1%	0603	-	-
13	R6	1	Resistor, 5.1kΩ, 1%	0603	-	-
14	R7	1	Resistor, 1.2kΩ, 1%	0603	-	-
15	R8	2	Resistor, 5.1kΩ, 1%	0603	-	-
16	R9	1	Resistor, 110Ω, 1%	1206	-	-
17	R10, R11	1	Resistor, 510Ω, 1%	0603	-	-
18	R12	1	Resistor, 0Ω	0603	-	-
19	R13	0	NC	0603	-	-
20	RY1	1	Resistor, 0Ω	0603	-	-
21	U1	1	LDO, 5~15V, 0.8A	SOT-223-4	TDK	LM1117MPX-5.0
22	U2	1	CA-IS2092A	LGA16	Chipanalog	
23	CY1	1	39pF/2kV	1206	CCTC	-
24	Q1	1	NPN Transistors, SS8050, 40V/0.5A	SOT-23	HUAXUANY ANG	S8050
25	ZD1	1	Asymmetrical TVS Diode, +12, -7V, 150W	SOT-23	UMW	PSM712-LF-T7
26	ZD2	0	NC	-	-	-
27	TP1, TP2	2	Test Point, Black, Through Hole, 1mm	-	Keystone	5001
28	J1, J2, J3	3	Header, 2 pins, 2.54mm	-	-	-
29	J4	1	Header, 5pins, 2.54mm	-	-	-
30	CON1	1	CONN, 3.81mm, 1x2P, Screw Type Terminal, DB125-3.81-2P-GN-S	-	DORABO	-
31	CON2	1	CONN, 3.81mm, 1x3P, Screw Type Terminal, DB125-3.81-3P-GN-S	-	DORABO	-

- 注：
 上述物料清单为 VDDP=VDDL=5V，VISO_{OUT}=5V
1. 若 VISO_{OUT}=3.3V，需要将 R12 悬空，R13 接 0Ω 电阻，同时 R10 和 R11 电阻阻值调整为 330Ω；
 2. 若 VDDL=3.3V，需要将 R6 电阻阻值调整为 3.6kΩ；
 3. 若采用两线制接法，需要将 C6 接 22nF 电容。

测试仪器

直流电源、500MHz 带宽示波器安捷伦 DSOX3054T、6.5 位多功能万用表安捷伦 34465A、信号发生器等。

硬件连接

1. 将直流电压源 6~12V 连接到 CON1，经过 LDO 输出 5V 直流电源到芯片的 VDDP 引脚；
2. CA-IS2092A 芯片的第 7 引脚是逻辑电源 VDDL，可外接独立电源，也可以连接到 VDDP。该测试板在 PCB 上可用跳线帽将 J1 的两个引脚短接，实现 VDDL 和 VDDP 的短接。
3. 隔离电源输出电压 VIOS_{OUT} 通过 R12 和 R13 的配置来控制。R12=0Ω，R13 悬空时，输出 VIOS_{OUT}=5V；R13=0Ω，R12 悬空时，输出 VIOS_{OUT}=3.3V。禁止 R12 和 R13 同时接 0Ω 电阻，否则 VISO_{OUT} 将被短路。
4. 若采用 RS-485 两线制接法，J2 和 J3 分别通过跳线帽短接，使得 DE 和 REB 连接到一起并通过电阻 R8 上拉到 VDDL；

测试示例和典型波形图

RS-485 四线制接法

发送器使能引脚 DE，接收器使能引脚 REB 分别由单片机的两个 I/O 口单独控制，数据发送和接收引脚由另外两个 IO 口，控制；

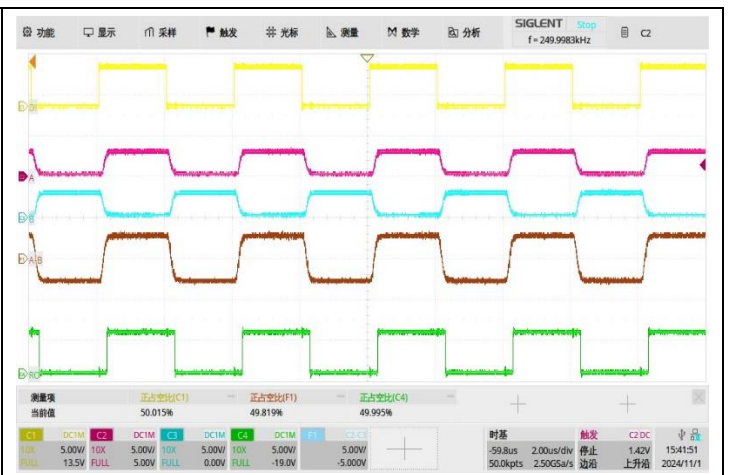
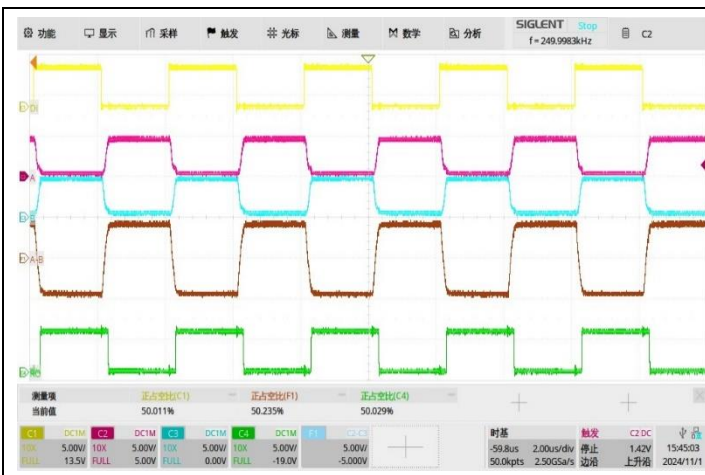


图 5 RS485 隔离信号传递
 VDDP= VDDL=5V，VISO_{OUT}=5V(R12=0Ω，R13 悬空)，
 DI: 500kbps RL=110Ω

图 6 RS485 隔离信号传递
 VDDP= VDDL=5V，VISO_{OUT}=3.3V(R13=0Ω，R12 悬空)，
 DI: 500kbps RL=110Ω

RS-485 两线制应用(自动收发电路)

两线制应用的介绍

1. J2 和 J3 分别通过跳线帽短接，使得 DE 和 REB 连接到一起并通过电阻 R8 上拉到 VDDL；
2. 当 DI 为低电平时，此时 Q1 三极管关断，REB/DE 引脚为高，发送使能 DE 有效，芯片 CA-IS2092A 处于发送状态，因为 DI 引脚接地，因此 CA-IS2092A 向总线输出低电平。
3. 当 TX 为高电平时，REB/DE 引脚为低，此时 REB 有效，芯片处于接收状态。
 - a) 若总线没有其他节点发送信号，此时 A/B 总线由于上下拉电阻 R10 和 R11 的作用，A 为高，B 为低，RO 输出高电平；
 - b) 若有其他节点发送信号到总线，CA-IS2092A 芯片的 RO 输出响应总线信号。

两线制应用的电平切换时注意事项

1. DI 从高电平切换到低电平时

Q1 三极管有电容效应，关断时间较长，DI 关断到 DE/REB 上升到高电平有较大的延迟，其延迟时间约为 1us，如图 7。VDDL 电源以 5V 为例，若采用 3.3V，那么 Q1 的基极电阻从 5.1kΩ 调整为 3.6kΩ，以得到合理的延迟时间。

2. DI 从低电平切换到高电平时

由于 DE/REB 从高电平切换到低电平时，总线网络中由于总线寄生电容，滤波器件的结电容等，会导致总线 A 被上拉，B 被下拉的时间较长。在 A 电压减去 B 电压大约 $V_{IT+(IN)}$ ，此时 REB 已经为低电平，那么 RO 就会翻译总线信号，可能引起通讯的异常，如图 8。因此，需要对 RO 信号做一定的滤波，滤除此异常信号。

总线网络中每个节点按照大约 100~200pF 估算，那么 n 个节点时，整个总线网络的 A/B 间的电容如下表所示，相应地，RO 输出要匹配相应的参数，最大通讯速率也有所制约。

表 1 RO 输出电容的选择推荐

节点数	总线 A/B 之间电容估算(nF)	RO 输出滤波电容 C6(nF)	最大通讯速率(kbps)
32	3.2~6.4	10	115.2
64	6.4~12.8	22	57.6
128	12.8~25.6	47	28.8
256	25.6~51.2	100	14.4

注：

1. 上表中 C6 选择是基于 RO 输出电阻为 100Ω 时的参数推荐，总线 A/B 上下拉电阻为 510Ω；
2. 若节点电容较大，应适当增加 RO 输出滤波电容 C6，同时相应地降低通讯速率，以避免因总线节点较多时 DI 从低电平切换到高电平 RO 输出的低电平脉冲；
3. 若 A/B 和 GND2 之间加双向 TVS，如 MSKSEMI 公司的 SMA 封装的 P4SMA6.8CA，应根据上述表格适当增加 RO 输出滤波电容 C6 的值，以滤除当 DI 从低电平切换到高电平时 RO 输出的低电平脉冲。

图 7 为 DI 下降沿到 DE/REB 上升沿的延迟时间波形图，图 8~10 是以 64 个总线节点为例，通讯速率为 57.6kbps，测试两线制接法的总线和输出 RO 的波形图。

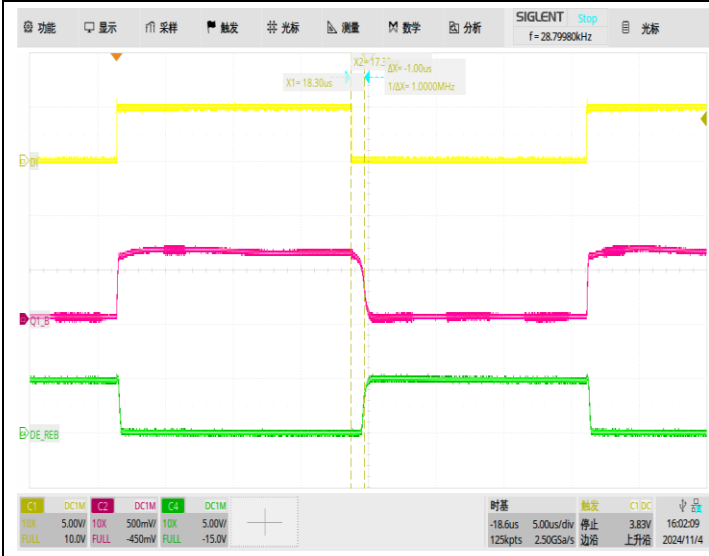


图 7 两线制接法 DI 下降沿到 DE/REB 上升沿的延迟
VDDP=5V, VISO_{OUT}=5V, RL=110Ω

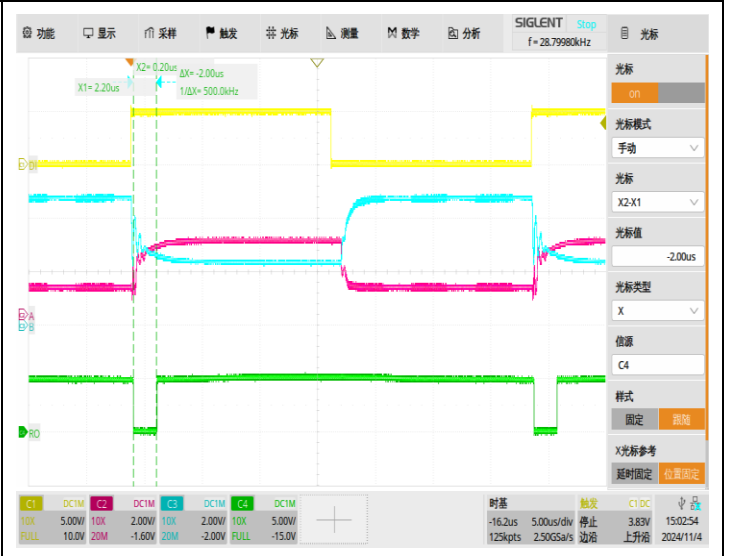


图 8 两线制接法 RO 输出，C6 悬空
A/B 之间电容 10nF
VDDP=5V, VISO_{OUT}=5V, DI: 57.6kbps RL=110Ω

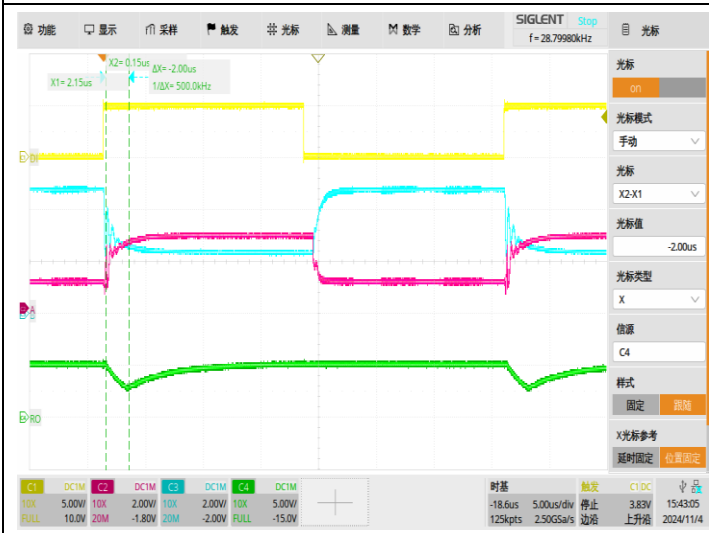


图 9 两线制接法 RO 输出，总线无其他节点发送信号
C6=22nF, A/B 之间电容 10nF
VDDP=5V, VISO_{OUT}=5V, DI: 57.6kbps RL=110Ω

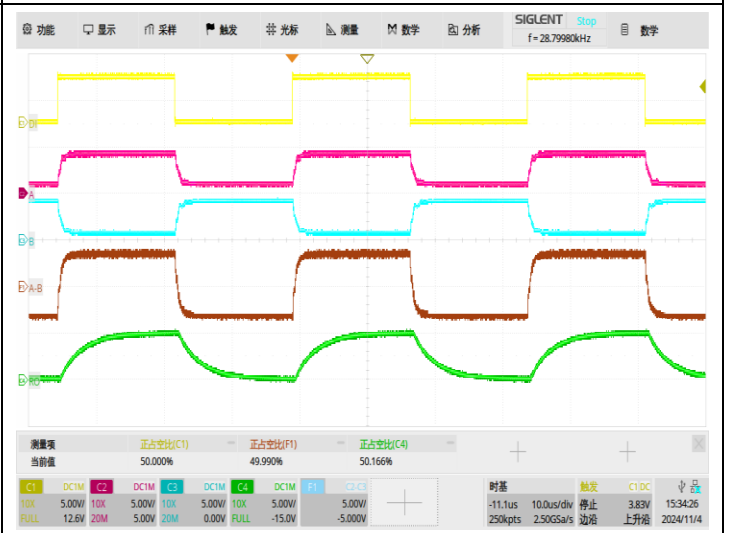


图 10 两线制接法接收总线信号，总线有其他节点发送信号 57.6kbps
C6=22nF, A/B 之间电容 10nF
VDDP=5V, VISO_{OUT}=5V, DI=High, RL=110Ω

RS-485 总线上下拉电阻的选择

在 RS-485 总线网络中需要加上下电阻，以确保在总线空闲状态时，A 相比于 B 要高 200mV，RO 输出为高电平。该测试板可作为 RS-485 半双工网络的主机节点，总线上下拉电阻接在主机节点上，从机节点就需要再接上下拉电阻。为了使得从机可以连接多至 256 个节点，BOM 清单为默认输出隔离电源输出 $V_{ISO_OUT}=5V$ 时的参数，若 $V_{ISO_OUT}=3.3V$ 时，R12 和 R13 需要从 510Ω 更改为 330Ω 。更多关于总线上下拉电阻计算的资料，可参考我司官网资料 AN018 《CA-IS2082B 隔离型半双工 RS-485 收发器使用注意事项》。

ESD 测试结果

依据 IEC61000-4-2 测试，接触放电，
 A-GND2, B-GND2 分别可以通过 $\pm 20kV$ ；
 A-GND1, B-GND1 分别可以通过 $\pm 10kV$ 。

EMI RE 测试结果

表 2 RE 测试结果总结

LDO 输入电压	LDO 输出电压	V_{ISO_OUT} 输出电压	A,B 之间负载电阻	水平余量	垂直余量
9~12V	5V	5V	54Ω	4.22dB	10.15dB
9~12V	5V	3.3V	54Ω	9.31dB	11.07dB

注：

- DE 接高电平，DI 为低电平，A,B 之间电压为 3.6V ($V_{ISO_OUT}=5V$) 和 2.36V ($V_{ISO_OUT}=3.3V$)；
- V_{ISO_OUT} 无额外负载。

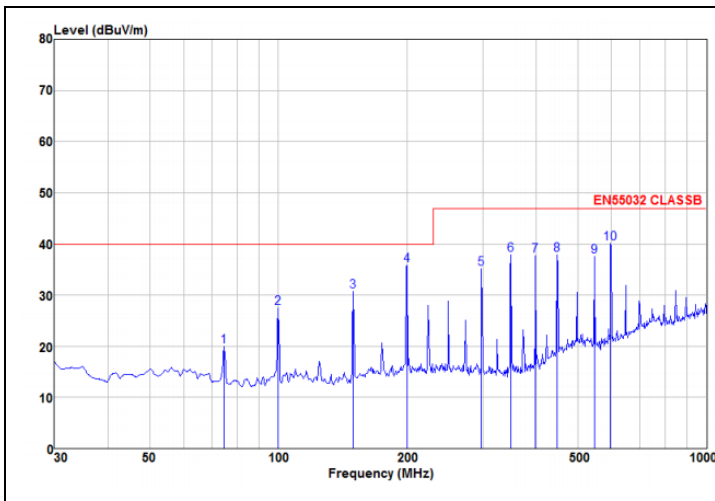


图 11 $V_{ISO_OUT}=5V$ ，水平方向

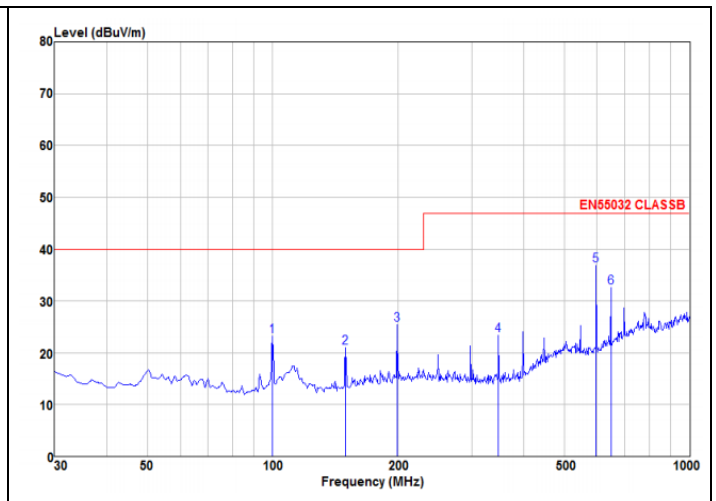
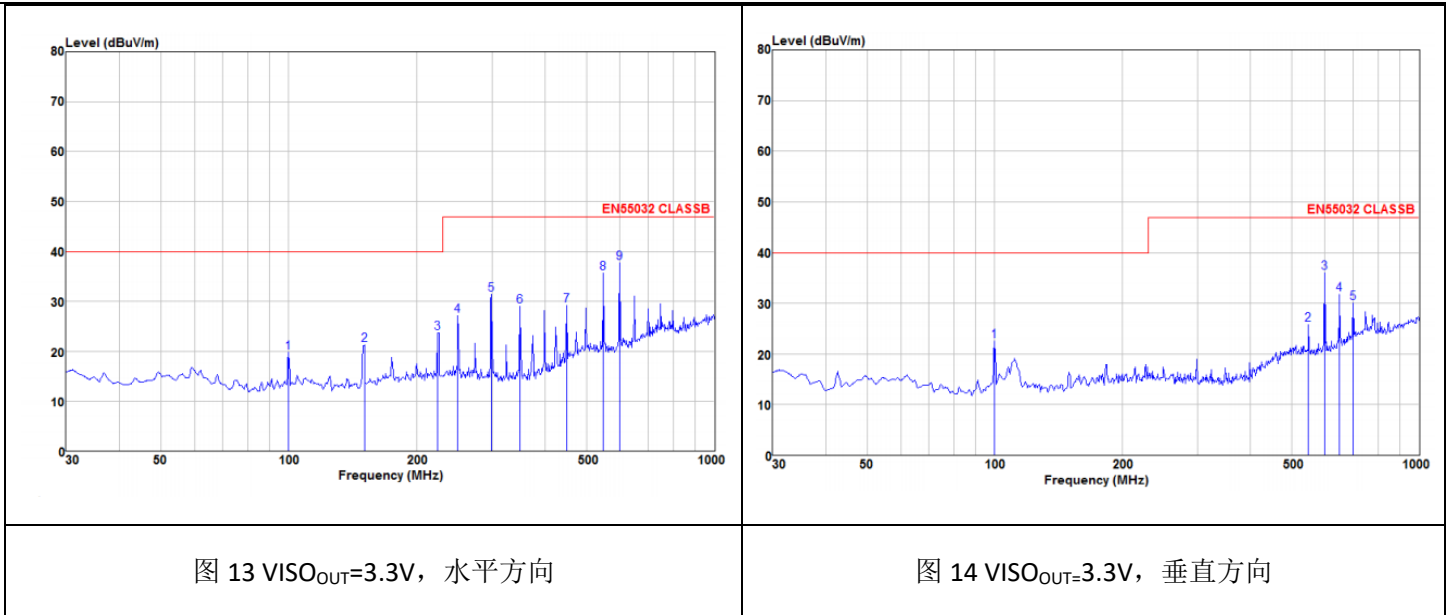
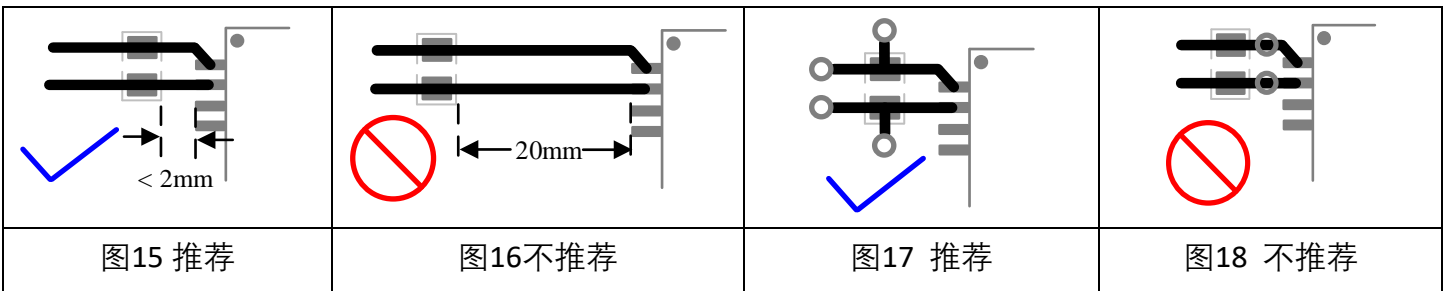


图 12 $V_{ISO_OUT}=5V$ ，垂直方向



PCB 布线建议

CA-IS2092A器件内置开关电源，为总线侧侧和外部模块提供稳压电源。输入侧VDDP以及输出侧VISO_{OUT}的旁路电容和供电电容的位置放尽可能摆放在靠近芯片的管脚，距离应控制在2mm以内，如下图15。当需要在供电电源线和地线中放置过孔，应放置在电容相对于芯片管脚的外侧，而非放置在电容和芯片之间，以减少过孔寄生电感的影响，如下图17。



Revision History

版本	日期	状态描述
Rev1.0	Oct.2024	初始版本

重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

<http://www.chipanalog.com>